

PATENT ABSTRACTS OF JAPAN

(a)

(11)Publication number : 03-239037

(43)Date of publication of application : 24.10.1991

(51)Int.Cl.

H04L 12/48

(21)Application number : 02-035659

(71)Applicant : FUJITSU LTD

(22)Date of filing : 16.02.1990

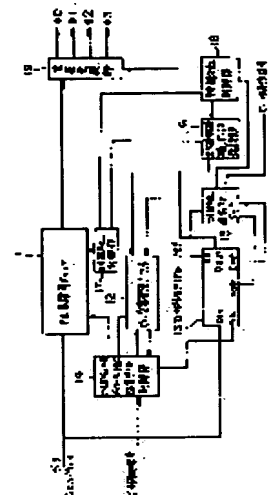
(72)Inventor : KATO YUJI
HAYAMI SHICHIRO
KAMOI EDAMASU

(54) CELL SEPARATION DEVICE IN ATM EXCHANGE SYSTEM

(57)Abstract:

PURPOSE: To apply cell separation control with high reliability while a quantity of a buffer is decreased by adopting the constitution such that management information is extracted from each stage of a multi-port FIFO memory and succeeding information is packed forward autonomously after the information is extracted.

CONSTITUTION: A data in a multi-port FIFO memory 13 is latched sequentially to data latches 131-1-131-4 by a write enable signal. If a data latched in any data latch is read, the write enable signal is used as a trigger to input required address information. Even when the data is extracted from any data latch and the data is extracted from the relevant data latch, succeeding data are packed autonomously forward to the pre-stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

Best Available Copy

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-239037

⑤ Int. Cl.⁵
H 04 L 12/48

識別記号 庁内整理番号

⑬ 公開 平成3年(1991)10月24日

7830-5K H 04 L 11/20

Z

審査請求 未請求 請求項の数 1 (全11頁)

⑭ 発明の名称 A T M交換方式におけるセル分離装置

⑮ 特 願 平2-35659

⑯ 出 願 平2(1990)2月16日

⑰ 発 明 者 加 藤 祐 司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑰ 発 明 者 早 見 七 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑰ 発 明 者 鶴 井 條 益 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑰ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑰ 代 理 人 弁理士 真 田 有

明 細 書

1. 発明の名称

A T M交換方式におけるセル分離装置

2. 特許請求の範囲

A T M交換方式におけるセル分離装置において、
入出力ハイウェイ間に設けられるセル蓄積用バッファ(1)と、

該バッファ(1)内のセルの空塞状態を管理する
セル空塞管理テーブル(2)と、

1書き込みポートと複数の読み出しポートとを
有して出方路番号情報と該バッファ(1)へのセル
の格納アドレス情報とをセル到着順に管理するマ
ルチポート型F I F Oメモリ(3)とをそなえると
ともに、

方路毎に同時に読み出すべきセルの格納アドレ
スを検索する検索手段(4)と、

該検索手段(4)にて検索した方路毎の格納アド
レスから時分的に各方路別にセルを順に読み出

すセル読み出し制御手段(5)と、

該セル読み出し制御手段(5)を用いて該バッフ
ァ(1)から時分割多重されて読み出されたセルを
方路毎に分解し速度変換する速度変換手段(6)と
をそなえて構成されたことを

特徴とする、A T M交換方式におけるセル分離装
置。

3. 発明の詳細な説明

〔目 次〕

概要

産業上の利用分野(第8図)

従来の技術(第7図)

発明が解決しようとする課題

課題を解決するための手段(第1図)

作用(第1図)

実施例(第2～6図)

発明の効果

【概 要】

A T M交換方式におけるセル分離装置に関し、

A T M交換方式において、1つのバッファへの書き込みや読み出しを出方路別に管理することにより、各出方路でバッファを共有して使用し、且つ、バッファ管理のためにバッファ内の格納アドレスと出方路番号とを格納しうるようにして、少ないバッファ量でセル廃棄をおきにくくしながらセル分離を行なえるようにすることを目的とし、

入出力ハイウェイ間に設けられるセル蓄積用バッファと、バッファ内のセル空塞状態を管理するセル空塞管理テーブルと、出方路番号情報とバッファへのセルの格納アドレス情報をセル到着順に管理するマルチポート型F I F Oメモリと、方路毎に同時に読み出すべきセルの格納アドレスを検索する検索手段と、方路毎の格納アドレスから時分割的に各方路別にセルを順に読み出すセル読み出し制御手段と、バッファから時分割多重されて読み出されたセルを方路毎に分解し速度変換する速度変換手段とをそなえるように構成する。

するために、第7図に示すように、各出方路ごとにバッファB Fを置いて、セルの速度変換を行なっている。例えば1. 2 G b p sに多重されたハイウェイ情報を8方路に分離する場合を考えると、1方路当たり150 M b p sで読み出すことになる。このとき、セルの到着が規則正しく周期的に到着すると、セルは溢れることなく速度変換されて出方路に出力されていく。

しかし、セルの到着がバラツクと瞬間的に150 M b p sを超えることになり、この場合に、各出方路に設けられたバッファB Fで瞬間的な速度超過分を吸収することが行なわれる。

【発明が解決しようとする課題】

ところで、このような従来のセル分離装置では、バッファを出方路毎に別々に用意しており、又バッファ量は出方路の使用率と廃棄特性から決定されるので、例えば使用率を90%、廃棄を10%とすると、1出方路あたりほぼ100セル分のバッファ蓄積量が必要となり、これが8方路分必要

【産業上の利用分野】

本発明は、A T M[Asynchronous Transfer Mode; ATM(非同期転送モード)]交換方式におけるセル分離装置に関する。

A T M交換方式では、情報を第8図に示すような固定長のセルに収容し、更にはセル毎に分解して出方路番号情報を有するT A Gに基づいてセルフルーティングを行なうことにより情報の交換を行なっているが、この場合、同一出方路へのセルが同時に到着することがあるので、セルの衝突回避用としてバッファを用意している。

ところで、各出方路へのセルが均等に到着すれば、セルの廃棄は起こり難いが、時としてある方路へ集中することがあり、この場合に、セルの廃棄が生じる。

【従来の技術】

従来のセル分離装置では、複数出方路へのセルが多重されたハイウェイからセルを各方路へ分離

となれば、合計で800セル分ものバッファを必要とする。すなわち、上記のように各出方路毎にバッファを用意すると、バッファ量が出ハイウェイの数に比例して多くなるのである。

そこで、ポインタチェーンを用いて、バッファ共通化を図るようにバッファを管理することも考えられるが、この場合は、もしポインタチェーンが切れた場合に、切れたことの検出とその復旧とが困難であるという問題点がある。

本発明は、このような問題点に鑑みなされたもので、A T M交換方式において、1つのバッファへの書き込みや読み出しを出方路別に管理することにより、各出方路でバッファを共有して使用し、且つ、バッファ管理のためにバッファ内の格納アドレスと出方路番号とを格納しうるようにして、少ないバッファ量でセル廃棄を起さにくくしながらセル分離を行なえるようにした。A T M交換方式におけるセル分離装置を提供することを目的としている。

【課題を解決するための手段】

第1図は本発明の原理ブロック図である。

まず、この第1図に示すものは、ATM交換方式におけるセル分離装置であるが、この第1図において、1はセル蓄積用バッファで、このバッファ1は、入出力ハイウェイ間に設けられて、セル単位でこれを蓄積するものである。

2はセル空塞管理テーブルで、このセル空塞管理テーブル2はバッファ1内のセルの空塞状態を管理するものである。

3はマルチポート型FIFOメモリで、このマルチポート型FIFOメモリ3は1書き込みポートと複数の読み出しポートとを有するFIFOメモリであるが、このマルチポート型FIFOメモリ3は出方路番号情報とバッファ1へのセルの格納アドレス情報とをセル到着順に管理するようになっている。

4は検索手段で、この検索手段4は、方路毎に同時に読み出すべきセルの格納アドレスをマルチポート型FIFOメモリ3から検索するものであ

る。

5はセル読み出し制御手段で、このセル読み出し制御手段5は、検索手段4にて検索した方路毎の格納アドレスから時分割的に各方路別にバッファ1からセルを順に読み出すよう制御するものである。

6は速度変換手段で、この速度変換手段6は、セル読み出し制御手段5を用いてバッファ1から時分割多重されて読み出されたセルを方路毎に分解し速度変換するものである。

【作用】

上述の本発明のATM交換方式におけるセル分離装置では、バッファ1に、セル単位でセルが蓄積されるが、このときセル空塞管理テーブル2で、バッファ1内のセルの空塞状態を管理しておくとともに、マルチポート型FIFOメモリ3に、出方路番号情報とバッファ1へのセルの格納アドレス情報とをセル到着順に管理しておく。

ところで、バッファ1からのセル読み出しに際

しては、検索手段4によって、方路毎に同時に読み出すべきセルの格納アドレスがマルチポート型FIFOメモリ3から検索され、更にセル読み出し制御手段5によって、検索手段4にて検索した方路毎の格納アドレスから時分割的に各方路別にセルがバッファ1から順に読み出される。

このようにしてバッファ1からセルが時分割多重されて読み出されると、その後は速度変換手段6によって、このセルを方路毎に分解し速度変換することが行なわれる。

【実施例】

以下、図面を参照して本発明の実施例を説明する。

第2図は本発明の一実施例を示すブロック図、第3図は第2図を更に詳細に示すブロック図であるが、これらの第2、3図に示すATM交換方式におけるセル分離装置は、セル蓄積用バッファ11、セル空塞管理テーブル12、マルチポート型FIFOメモリ(シフトレジスタ型FIFOメモ

リ)13、セル書き込み用バッファサーチ及びセル書き込み制御部14、セル読み出し用バッファサーチ部15、出方路別読み出しアドレス保持部16、セル読み出し制御部17、多重読み出し制御部18、速度変換部19をそなえている。

ここで、セル蓄積用バッファ11は、入出力ハイウェイ間に設けられて、第5図(a)に示すように、セルを所要のアドレスに蓄積しうるメモリであり、セル空塞管理テーブル12は、バッファ11内のセルの空塞状態を第5図(b)に示すように「0」、「1」の状態管理するメモリである。

また、マルチポート型FIFOメモリ13は、第5図(c)に示すように、出方路番号情報とバッファ11へのセルの格納アドレス情報とをセル到着順に記憶してこれらの情報を管理するものであり、かかるマルチポート型FIFOメモリ13の構成例を示すと、第4図のようになる。すなわち、このマルチポート型FIFOメモリ13は、4段シフトタイプのものであるが、このマルチポ

ート型FIFOメモリ13は、レジスタタイプのデータラッチ131-1~131-4、ラッチデータセクタ132、データラッチ制御用のリードライトパルス伝達論理ゲート部133-1~133-4、RSフリップフロップ134-1~134-4、アドレスデコーダ135、データ空き情報出力用セクタ136をそなえている。

データラッチ131-1~131-4はデータをラッチするものであるが、まず入力端子Dinから入ってきた入力ハイウェイからのデータはデータラッチ131-1でラッチされる。その後は、リードライトパルス伝達論理ゲート部133-1~133-4からの信号により、データを次のデータラッチへと順次シフトしていき、その度に相当するデータラッチがデータを一時的に記憶するようになっている。

ラッチデータセクタ132は、各データラッチ134-1~134-4の出力を選択して、これを出力端子Doutから出すものである。これにより、実質的に4つの出力ポートがあるのと等価

になる。

リードライトパルス伝達論理ゲート部133-1~133-4は、RSフリップフロップ134-1~134-4と共にデータラッチ131-1~131-4を制御するものであるが、リードライトパルス伝達論理ゲート部133-1は、AND論理のゲート1331-1をそなえており、その他のリードライトパルス伝達論理ゲート部133-2~133-4は、AND論理のゲート1331-2~1331-4と情報フィードバック用のOR論理のゲート1332-2~1332-4とをそなえている。

ゲート1331-1は、ライトイネーブル端子WEからのライトイネーブル信号をそのまま受けると共に、RSフリップフロップ134-1のQ出力(非反転出力)およびゲート1332-2の出力をそれぞれ反転させて受けて、そのAND論理結果をデータラッチ131-1のクロック端とRSフリップフロップ134-1のセット端へそれぞれ出力するものである。

ゲート1331-2~1331-4は、それぞれRSフリップフロップ134-1~134-3の非反転出力をそのまま受けると共に、RSフリップフロップ134-2~134-4のQ出力およびゲート1332-3~1332-4の出力をそれぞれ反転させて受けて、そのAND論理結果をデータラッチ131-2~131-4のクロック端とRSフリップフロップ134-2~134-4のセット端へそれぞれ出力するものである。

ゲート1332-2~1332-4は、それぞれゲート1331-2~1331-4の出力およびデコーダ135からの対応デコードビット出力を受けて、そのOR論理結果をゲート1331-1~1331-3およびRSフリップフロップ134-1~134-3へそれぞれ出力するものである。

RSフリップフロップ134-1~134-4は、リードライトパルス伝達論理ゲート部133-1~133-4からのデータラッチ制御出力をラッチするもので、このRSフリップフロップ1

34-1~134-4は、ライトイネーブル状態になることにより、リードライトパルス伝達論理ゲート部133-2~133-4のゲート1332-2~1332-4から信号によってリセットされるようになっている。

デコーダ135は、ライトイネーブル端REからのライトイネーブル信号をトリガ信号としてアドレス端Addrを通じて入力されるアドレス情報をシフト段数分の長さ(この場合は4ビットの長さ)を持つ符号にデコードするもので、その対応デコードビット出力はリードライトパルス伝達論理ゲート部133-2~133-4のゲート1332-2~1332-4、セクタ132、136へ入力される。

セクタ136は、RSフリップフロップ134-1~134-4からのQ出力を選択してデータ空き情報出力端EMPからデータ空き情報を出力するものである。

このような構成により、マルチポート型FIFOメモリ13は、ライトイネーブル信号により、

順次データラッチ131-1~131-4へデータがラッチされていく。そして、もし、いずれかのデータラッチにラッチされているデータを読み出す場合は、ライトイネーブル信号をトリガとして所要のアドレス情報を入力すればよい。例えば、データラッチ131-2でラッチされているデータを取り出す場合を考えると、この場合はデコーダ135からのデコード出力(2ビット目が「1」のもの)により、セクタ132がデータラッチ131-2の出力を選択すると共に、リードライトパルス伝達論理ゲート部133-3のゲート3132-3からの出力により、RSフリップフロップ134-2がリセットされる。このようにしてこのRSフリップフロップ134-2のリセット出力がリードライトパルス伝達論理ゲート部133-2へ入力されると、このリードライトパルス伝達論理ゲート部133-2のゲート1331-2はデータラッチ131-2へラッチ制御信号を出し、これにより前段のデータラッチ131-1の内容がラッチされる。これによりデータラッ

チ131-1にラッチされていたものが、データラッチ131-2へシフトしたことになる。このようにデータラッチ131-2にデータがシフトされると、RSフリップフロップ134-2は再度セット状態となる。また、リードライトパルス伝達論理ゲート部133-2のゲート1331-2からの信号により、ゲート1332-2はRSフリップフロップ134-1をリセットすることにより、このRSフリップフロップ134-1は空き状態を示す情報を出す。

以上の動作は、どのデータラッチからデータを取り出した場合でも、同様にして行なわれ、いずれの場合も、データラッチからデータが取り出されると、自律的にそれ以降のデータが前段に詰まっていくようになっている。

さらに、第2、3図に示すセル書き込み用バッファサーチ及びセル書き込み制御部14は、書き込み側のサーチ開始信号により、空塞管理テーブル12の情報から空きバッファを見つけておき、セルが到着すると、書き込み信号により、セルを

バッファ11に書き込むと同時に、そのバッファのアドレスと出方路番号をマルチポート型FIFOメモリ13に書き込み、更には空塞管理テーブル12の該当部分を塞がり状態にするもので、このためにカウンタ141、142、サーチ用のゲート143、RSフリップフロップ145、書き込み制御用のゲート144等をそなえて構成されている。

すなわち、このセル書き込み制御部14においては、サーチ開始信号が入力されると、このときもしゲート143が空塞管理テーブル12から塞がり信号「1」を受けてスタンバイ状態にあれば、ゲート143からカウンタスタート信号(イネーブル信号)が出され、これによりカウンタ142が計数を開始して、空塞管理テーブル12の空き塞がり情報が入っている部分を順次サーチしていく。このとき、空塞管理テーブル12からはゲート143に空きか塞がりかが「0」、「1」情報にて出力される。そして、サーチ中に、空き部分があれば、ゲート143に空きである旨の信号

「0」が出されるため、カウンタ142は止まる。これにより、空塞管理テーブル12の空き情報を見つければ、その該当部分で停止して待機する。なお、RSフリップフロップ145は、サーチ開始信号によってセットされ、空塞管理テーブル12からゲート143への空き信号を反転させた信号によってリセットされる。そして、このリセットにより、RSフリップフロップ145は書き込み可信号を出す。これにより、書き込み信号をいつでも出せる状態になる。

その後、セルが到着すると、書き込み信号が出されるが、このときゲート144は開状態にあり、カウンタ141によって、セルはその長さ分だけバッファ11に書き込まれる。このとき、書き込み信号によって、空塞管理テーブル12の該当部分を塞がり状態に設定する。また、この書き込み信号はマルチポート型FIFOメモリ13のライトイネーブル端WEにも入力されているので、今書き込んだアドレスと出方路番号がマルチポート型FIFOメモリ13に書き込まれる。

セル読み出し用バッファサーチ部15は、バッファ11からのセルの読み出しに先立って、読み出しセルのサーチ信号により、マルチポート型FIFOメモリ13の中を覗いて、読み出せるセルがあれば、マルチポート型FIFOメモリ13内の情報を出方路別読み出しアドレス保持部16に書き込ませるためのもので、更にこのセル読み出し用バッファサーチ部15は、読み出しタイミングになると、読み出し空塞管理テーブル12の該当部分を空き状態にもする。

このため、このセル読み出し用バッファサーチ部15は、カウンタ151、サーチ用のゲート152、153、RSフリップフロップ154等をそなえて構成されている。

すなわち、このセル読み出し制御部15においては、サーチ開始信号（上記の書き込み側サーチ開始信号とは別のもの）が入力されると、多重読み出し制御部18からはロー出力がゲート153へ出されているので、ゲート152からカウンタスタート信号（イネーブル信号）が出され、これ

されたセルを読み出すよう制御するもので、カウンタ171、読み出し制御用のゲート172等をそなえて構成されている。

すなわち、このセル読み出し制御部17においては、多重読み出し制御部18から、所要のセル読み出しタイミングで、読み出し信号が出されると、このときゲート172が開状態になり、カウンタ171によって、セルはその長さ分だけバッファ11から読み出される。

なお、このとき、FIFOメモリ13からの出力信号によって、空塞管理テーブル12の該当部分が空き状態に設定される。

多重読み出し制御部18は、セル読み出し用バッファサーチ部15のサーチ開始制御を行ったり、出方路別読み出しアドレス保持部16に書かれている読み出しアドレスを出方路で索引しながら、且つ、セル読み出し制御部17を制御することにより、セル（ワード）単位で、各出方路#0～#3のセルを時分割的に読み出すように制御するものである。

によりカウンタ151が計数を開始して、マルチポート型FIFOメモリ13を順次サーチしていくようになっている。そして、このサーチにより、マルチポート型FIFOメモリ13から出方路番号が出され、これが出方路別読み出しアドレス保持部17に書き込まれるようになっている。

なお、RSフリップフロップ154は、サーチ開始信号によってリセットされ、多重読み出し制御部18からの信号によってセットされる。そして、このセットにより、RSフリップフロップ156は読み出し可信号を出す。これにより、読み出し信号をいつでも出せる状態になる。

出方路別読み出しアドレス保持部16はマルチポート型FIFOメモリ13から読み出されたアドレス情報を第5図(d)に示すように出方路別に保持しておくものである。

セル読み出し制御部17は、多重読み出し制御部18からのセルの読み出し信号を受けて、出方路別読み出しアドレス保持部16のアドレスを読み出し、バッファ11の対応するアドレスに収納

速度変換部18はバッファ11から読み出された情報をシリアル・パラレル変換して各出方路#0～#3毎に分離するものである。

このような構成により、まず、セル書き込みおよび読み出しに先立って、書き込み側および読み出し側のサーチ開始信号をそれぞれ所要のタイミングで入力しておくことにより、前述の要領で、空塞管理テーブル12の情報から空きバッファを見つけておくとともに、マルチポート型FIFOメモリ13の中を覗いて、読み出せるセルがあれば、出方路別読み出しアドレス保持部16に書き込んでおく。

このような状態で、セルが到着すると、セル書き込み用バッファサーチ及びセル書き込み制御部14は、書き込み信号により、セルをバッファ11に書き込むと同時に、そのバッファのアドレスと出方路番号をマルチポート型FIFOメモリ13に書き込み、更には空塞管理テーブル12の該当部分を塞がり状態にする。

また、バッファ11からのセルの読み出しに際

しては、セルの読み出しタイミングになると、多重読み出し制御部18の作用により、出方路別読み出しアドレス保持部16に書かれている読み出しアドレスを出方路で索引しながら、ワード単位で、各出方路のセルを時分割的に読み出す。このとき空塞管理テーブル12の該当部分を空き状態にすることも行なわれる。

そして、その後はバッファ11から読み出された情報を速度変換部18でシリアル・パラレル変換して各出方路#0～#3毎に分離する。

このときのセル書き込み、セル読み出しおよび各出方路#0～#3毎の動作タイミングを示すと、第6図(a)～(f)のようになる。なお、セル書き込み、セル読み出しの各タイミングはそれぞれ独立している。

このようにしてこのセル分離装置は、FIFOメモリ13の先頭から要求された出方路へのセルの有無を検索し、該当するものを見つけると、FIFOメモリ13から該当する管理情報を抜き出し、得られたセルの格納アドレス情報に基づきセ

ルが読み出されるようになっているのである。

このように本セル分離装置によれば、セルの読み出しを各出方路毎に管理するために、マルチポート型FIFOメモリ13の各ステージから管理情報を抜き出し、抜き出したあとは自律的にそれ以降の情報が前に詰まっていくように構成されているので、各出方路ごとにバッファを持って管理するものに比べ、バッファ量を少なくすることができ、また、バッファは各出方路で共有し、方路ごとにセルの格納アドレスを示すポインタチェーンを組んで管理するものに比べ、高い信頼性でセル分離制御を行なえるものである。

〔発明の効果〕

以上詳述したように、本発明のATM交換方式におけるセル分離装置によれば、セルの読み出しを各出方路毎に管理するために、マルチポート型FIFOメモリの各ステージから管理情報を抜き出し、抜き出したあとは自律的にそれ以降の情報が前に詰まっていくように構成されているので、

バッファ量を少なくしながら、しかも高い信頼性でセル分離制御を行なえる利点がある。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明の一実施例を示すブロック図、

第3図は本発明の一実施例を更に詳細に示すブロック図、

第4図はマルチポート型FIFOメモリのブロック図、

第5図(a)～(d)は本発明の一実施例の作用を説明するためにバッファやテーブル等へ記憶されている一例を示す図、

第6図(a)～(f)は本発明の一実施例の動作タイムチャート、

第7図は従来例を示す図、

第8図はATMセルフォーマットを示す図である。

図において、

1はセル蓄積用バッファ、

2は空塞管理テーブル、

3はマルチポート型FIFOメモリ、

4は検索手段、

5はセル読み出し制御手段、

6は速度変換手段、

11はセル蓄積用バッファ、

12はセル空塞管理テーブル、

13はマルチポート型FIFOメモリ、

14はセル書き込み用バッファサーチ及びセル書き込み制御部、

15はセル読み出し用バッファサーチ部、

16は出方路別読み出しアドレス保持部、

17はセル読み出し制御部、

18は多重読み出し制御部、

19は速度変換部、

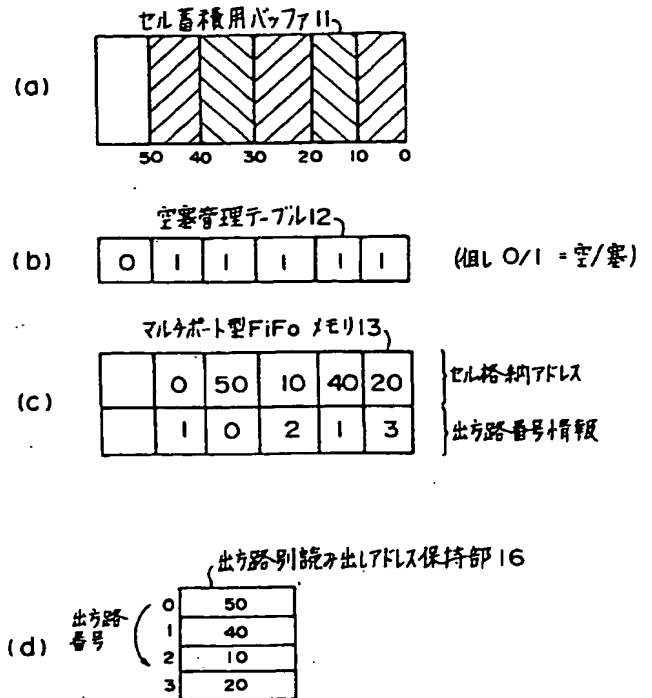
131-1～131-4はデータラッチ、

132はラッチデータセクタ、

133-1～133-4はリードライトパルス伝達論理ゲート部、

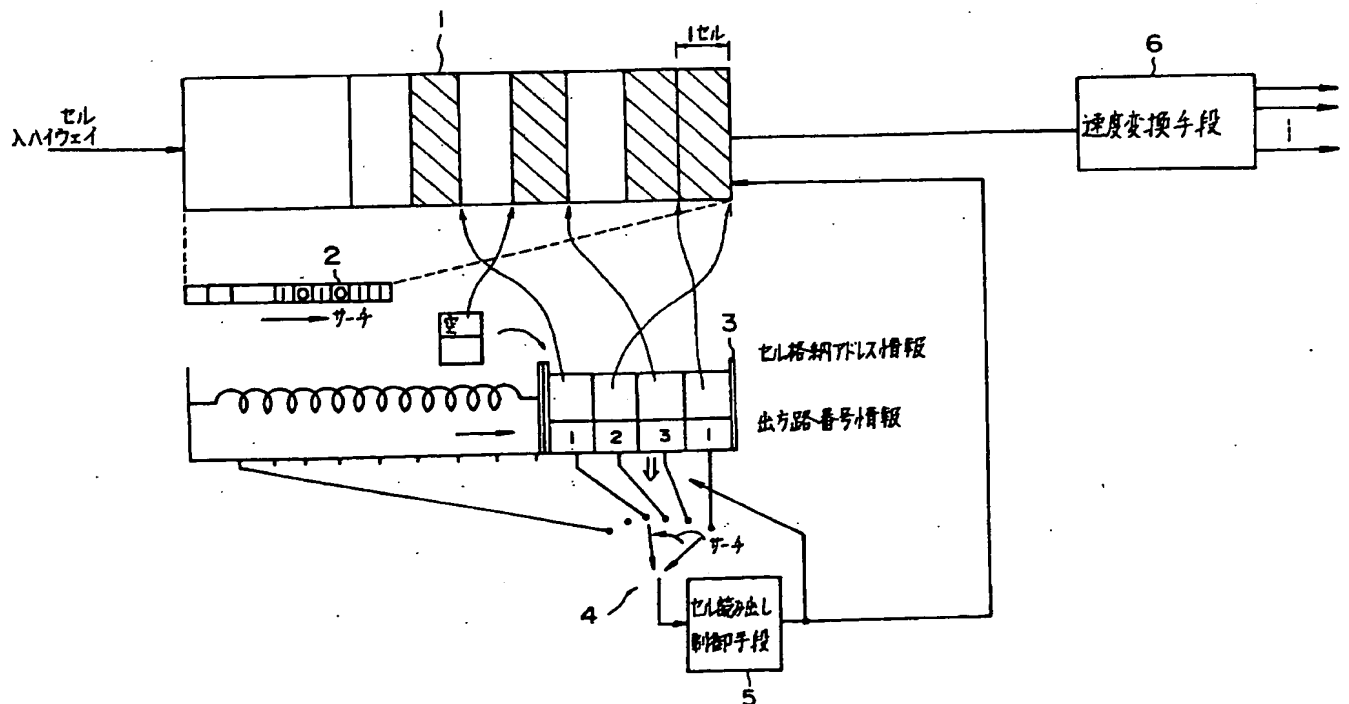
134-1~134-4はRSフリップフロップ。
 135はアドレスデコーダ。
 136はデータ空き情報出力用セクタ。
 141, 142はカウンタ。
 143, 144はゲート。
 145はRSフリップフロップ。
 151はカウンタ。
 153はゲート。
 154はRSフリップフロップ。
 171はカウンタ。
 172はゲート。
 1331-1~1331-4, 1332-2~1
 332-4はゲートである。

代理人 井理士 真田 有



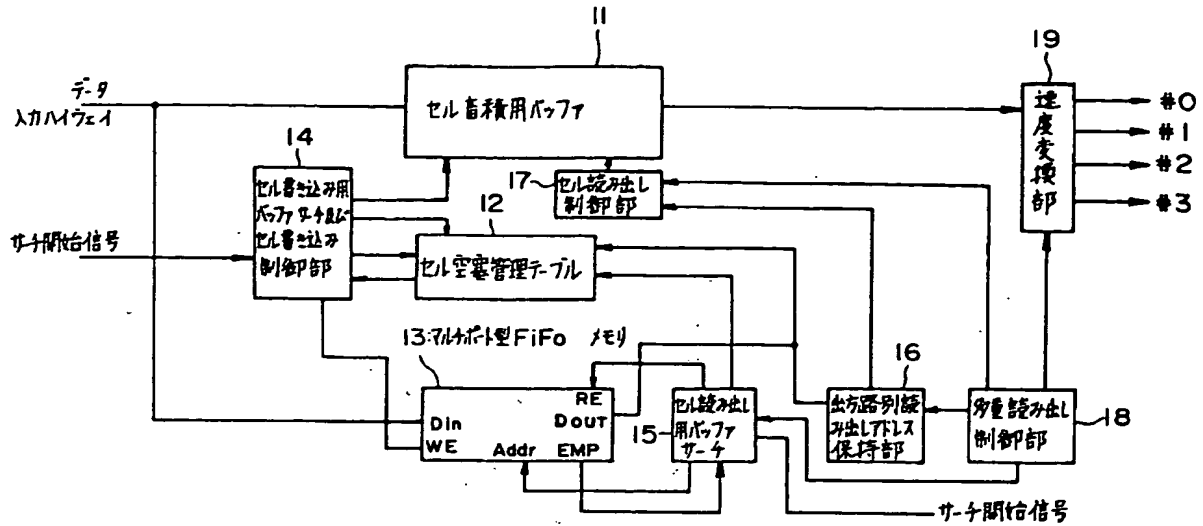
本発明の一実施例の作用を説明するためにバッファやテーブル等へ
 記号されている一例を示す図

第5図

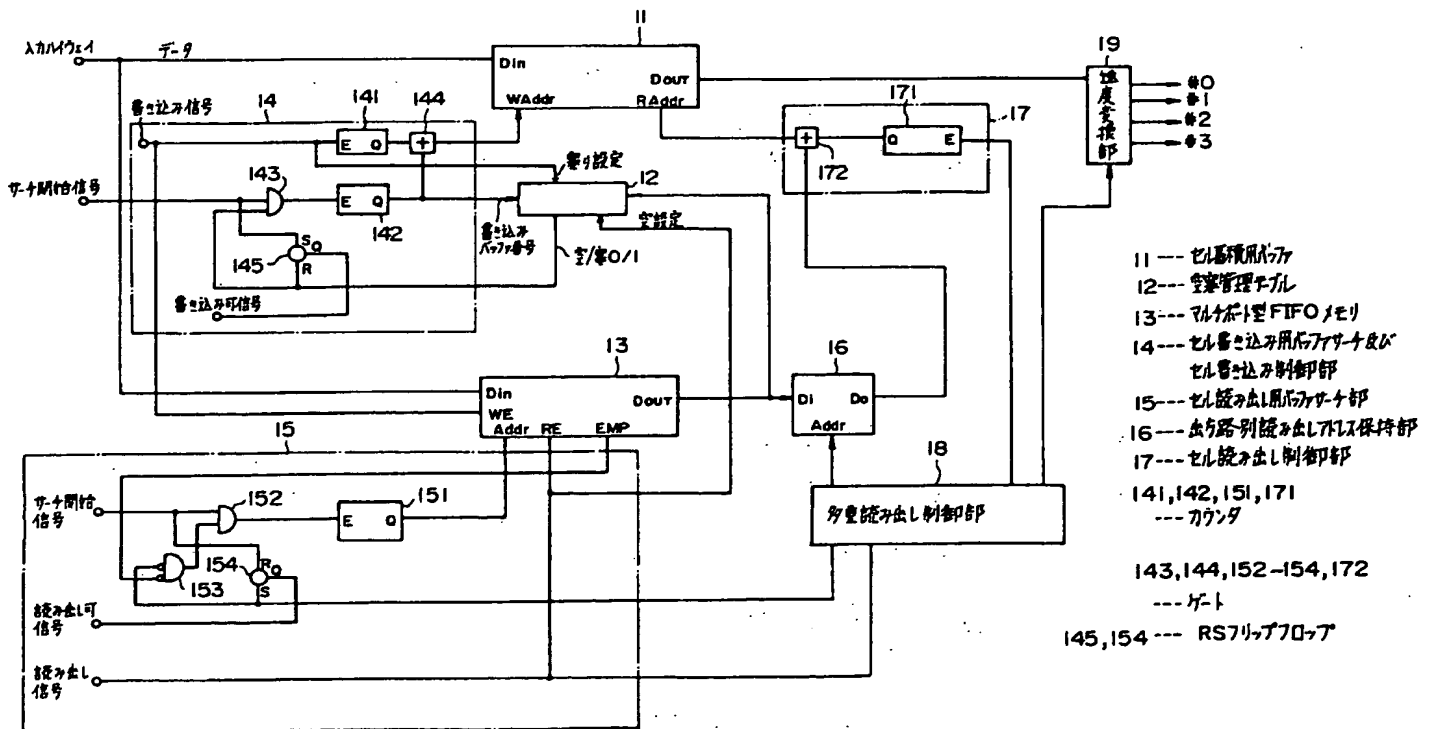


本発明の原理ブロック図

第1図

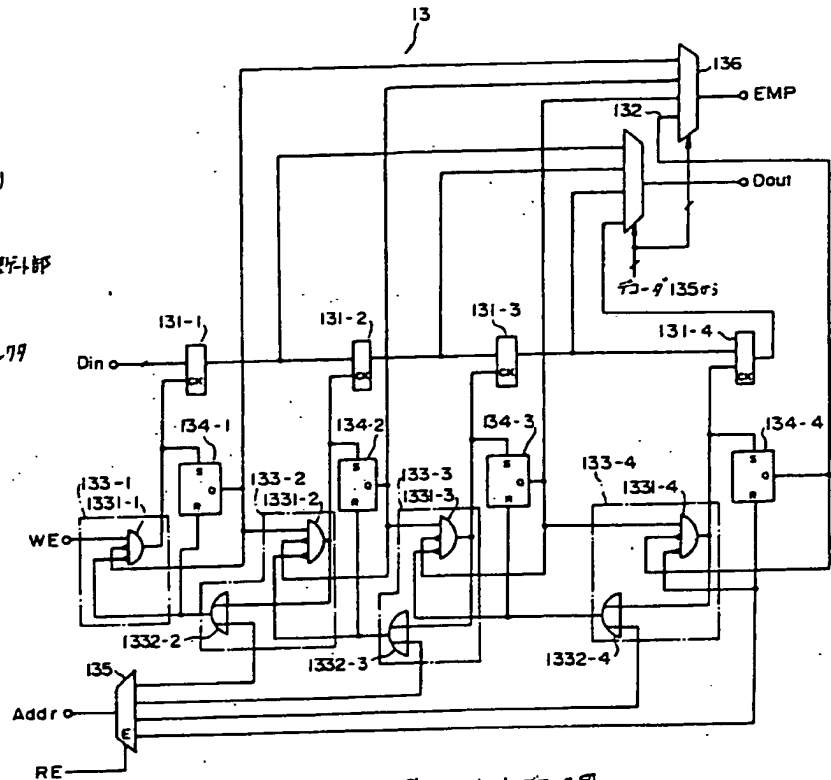


本発明の一実施例を示すブロック図
第2図

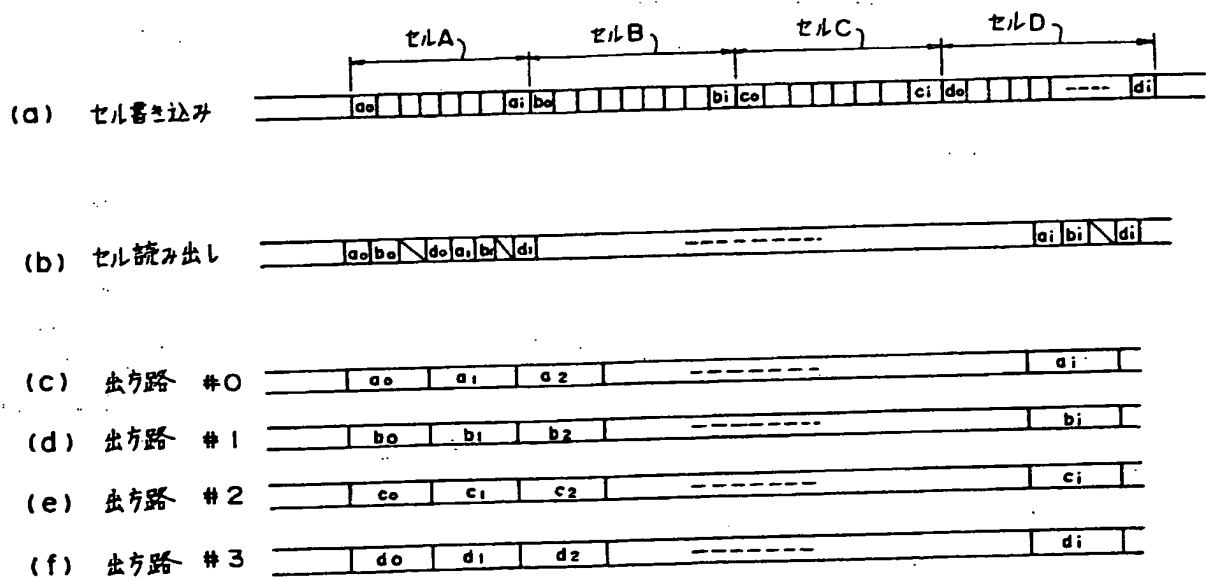


本発明の一実施例を更に詳細に示すブロック図
第3図

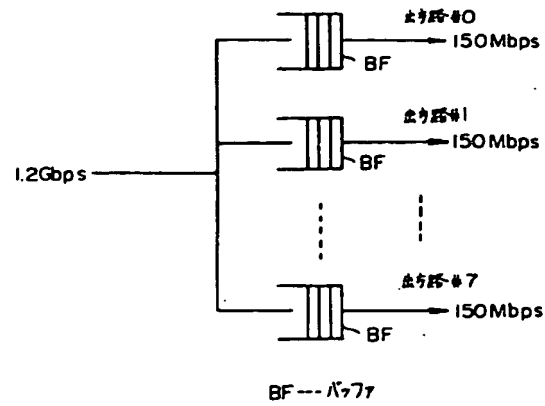
- 13 --- マルチポート型FIFOメモリ
 131-1 ~ 131-4 --- データ入力
 132 --- データ出力
 133-1 ~ 133-4 --- 4ポート型高速論理部
 134-1 ~ 134-4 --- RSフリップフロップ
 135 --- アドレスデコーダ
 136 --- データ出力用セレクタ
 1331-1 ~ 1331-4 --- ゲート
 1332-2 ~ 1332-4 --- ゲート



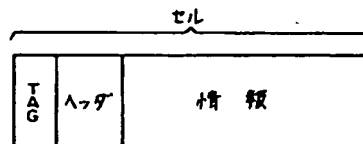
マルチポート型FIFOメモリブロック図
 第4図



本発明の実施例の動作タイムチャート
 第6図



従来例を示す図
第7図



ATMセルフォーマットを示す図
第8図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.